

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-224169

(43)Date of publication of application : 17.08.2001

(51)Int.Cl.

H02M 3/28

(21)Application number : 2000-242092

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.08.2000

(72)Inventor :  
MORI YOSHIHIRO  
YATANI YOSHIKI  
YAMASHITA TETSUJI  
YAMANISHI YUJI  
KINOSHITA TOMOKO

(30)Priority

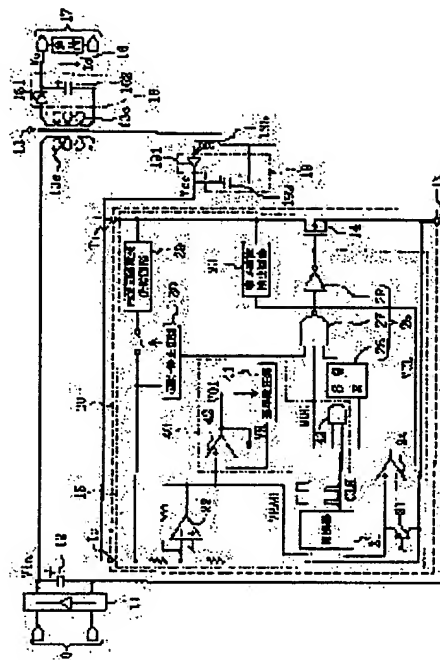
Priority number : 11338805 Priority date : 29.11.1999 Priority country : JP

## (54) SEMICONDUCTOR DEVICE FOR SWITCHING POWER SOURCE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce electric power consumption for high power efficiency by reducing switching loss under light load, using a simple structure.

**SOLUTION:** A control circuit 15 of a semiconductor device for switching power source includes an error amplifier 22 for generating an error voltage signal VEO formed of the difference between an auxiliary power supply voltage Vcc and reference voltage, and a device current detecting comparator 24 for comparing a device current detecting signal VCL detected by a current detecting circuit 23 using the error voltage signal VEO. The control circuit 15 involves a light load detecting circuit 40 for stopping the output of a switching signal to a switching element 14 for a switching signal control circuit 25, if the error voltage signal VEO is lower than a lower limit voltage value, and starting the output of the switching signal for the switching signal control circuit 25, if the error voltage signal VEO is higher than an upper limit voltage value.



## LEGAL STATUS

[Date of request for examination]	09.11.2001
[Date of sending the examiner's decision of rejection]	25.02.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3434788
[Date of registration]	30.05.2003
[Number of appeal against examiner's decision of rejection]	2003-05068
[Date of requesting appeal against examiner's decision of rejection]	27.03.2003
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

<English translation>

Relevant portion extracted from the description of  
Japanese Patent Application Laid-open No. 2001-224169  
published on August 17, 2001

An error amplifier 22 that receives the auxiliary power supply voltage Vcc decreased through resistance received in the inverting terminal, and generates and outputs an error voltage signal VEO based on the difference between the voltage Vcc and the reference voltage received in the noninverting terminal.

The light load detection circuit 40 that causes the switching signal control circuit 25 to stop the output of switching signals to the switching element 14 if the error voltage signal VEO is lower than the lower limit voltage value, and causes the switching signal control circuit 25 to start the output of switching signals if the error voltage signal VEO is higher than the upper limit voltage value.

Thus, according to the output signal VO1 of the comparator 42 for light load detection, the output voltage VR of the reference voltage supply 41 outputs the lower limit voltage VR 1 or outputs the upper limit voltage VR 2, whereby the intermittent oscillation operation which will be later mentioned can be performed for the switching signal control circuit 25 when a load is light.

Even when the reference voltage VR output from the reference voltage supply 41 detects a light load condition to suspend switching operation and even if the reference voltage VR changes from the lower limit voltage value VR1 to the upper limit voltage value VR2 to raise the error voltage signal VEA, the hysteresis characteristics are given so that the switching operation may not start promptly.

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-224169

(P 2 0 0 1 - 2 2 4 1 6 9 A)

(43) 公開日 平成13年 8月17日 (2001. 8. 17)

(51) Int. Cl. 7

識別記号

F I

7-7コード (参考)

H02M 3/28

H02M 3/28

H 5H730

X

審査請求 未請求 請求項の数 6 O L (全11頁)

(21) 出願番号 特願2000-242092 (P 2000-242092)

(22) 出願日 平成12年 8月10日 (2000. 8. 10)

(31) 優先権主張番号 特願平11-338805

(32) 優先日 平成11年11月29日 (1999. 11. 29)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 森 吉弘

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 八谷 佳明

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

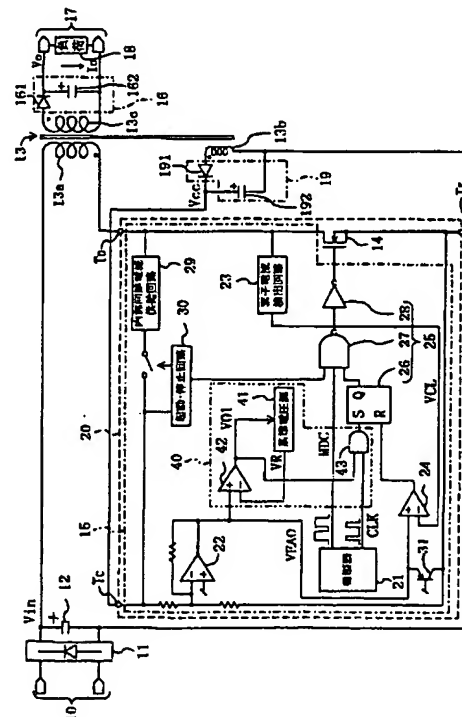
最終頁に続く

(54) 【発明の名称】 スイッチング電源用半導体装置

(57) 【要約】

【課題】 簡単な構成で軽負荷時のスイッチング損失を減らすことにより、消費電力を削減して電源効率を向上することができるようにする。

【解決手段】 スイッチング電源用半導体装置の制御回路15は、補助電源電圧Vccと基準電圧との差からなる誤差電圧信号VEAOを生成する誤差増幅器22と、電流検出回路23により検出される素子電流検出信号VCLと誤差電圧信号VEAOとを比較する素子電流検出用比較器24とを有している。さらに、制御回路15は、誤差電圧信号VEAOが下限電圧値よりも小さい場合に、スイッチング信号制御回路25に対してスイッチング素子14へのスイッチング信号の出力を停止し、誤差電圧信号VEAOが上限電圧値よりも大きい場合に、スイッチング信号制御回路25に対してスイッチング信号の出力を開始する軽負荷検出回路40を有している。



## 【特許請求の範囲】

【請求項1】 入力端子に第1の直流電圧を受けるスイッチング素子と、前記スイッチング素子からの出力信号を受け、前記第1の直流電圧を第2の直流電圧に変換して出力する出力電圧生成回路と、前記スイッチング素子の動作を制御する制御回路と、前記第2の直流電圧の電圧値を検出し、検出した信号を帰還信号として前記制御回路に帰還する出力電圧検出回路と、前記制御回路の電源電圧を生成する電源電圧生成回路とを備えたスイッチング電源装置を制御するスイッチング電源用半導体装置であって、  
前記スイッチング電源用半導体装置は、前記スイッチング素子及び前記制御回路を含み、  
前記制御回路は、  
前記スイッチング素子に印加するスイッチング信号を生成して出力する発振器と、  
前記スイッチング素子を流れる電流を検出し、素子電流検出信号として出力する電流検出回路と、  
前記電源電圧と基準電圧との差からなる誤差電圧信号を生成して出力する誤差増幅器と、  
前記素子電流検出信号と前記誤差電圧信号とを比較し、比較した比較信号を出力する比較器と、  
前記比較信号に基づいて前記スイッチング信号の出力を制御するスイッチング信号制御回路と、  
前記誤差電圧信号が下限電圧値よりも小さい場合には前記スイッチング信号制御回路に対して前記スイッチング素子への前記スイッチング信号の出力を停止し、前記誤差電圧信号が上限電圧値よりも大きい場合には前記スイッチング信号制御回路に対して前記スイッチング信号の出力を開始する軽負荷検出回路とを有していることを特徴とするスイッチング電源用半導体装置。  
【請求項2】 前記軽負荷検出回路は、  
互いに異なる第1の基準電圧及び第2の基準電圧を出力する基準電圧源と、  
一方の入力端子が前記基準電圧源からの出力電圧を受け、他方の入力端子が前記誤差電圧信号を受ける軽負荷検出用比較器とを有し、  
前記基準電圧源の出力電圧値は、前記軽負荷検出用比較器からの出力信号により、前記下限電圧値又は上限電圧値となるように設定されていることを特徴とする請求項1に記載のスイッチング電源用半導体装置。  
【請求項3】 前記基準電圧源は、  
出力端子を持つ第1の定電流源と、  
下流側に前記軽負荷検出用比較器からの比較信号により開閉されるスイッチが設けられた第2の定電流源と、  
前記第1の定電流源からの出力電流及び前記第2の定電流源からの出力電流のうちの少なくとも一方を受け、前記第1の基準電圧又は前記第2の基準電圧を生成する出力電圧設定抵抗器とを有していることを特徴とする請求項2に記載のスイッチング電源用半導体装置。

【請求項4】 前記スイッチング素子及び前記制御回路は、  
前記スイッチング素子を入力端子及び出力端子、並びに前記制御回路における前記帰還信号が入力される入力端子が外部接続端子となるように一つの半導体基板上に集積化されて形成されていることを特徴とする請求項1～3のうちのいずれか1項に記載のスイッチング電源用半導体装置。

【請求項5】 前記半導体基板は、前記下限電圧又は前記上限電圧の値を調整するための軽負荷検出電圧調整用端子を有していることを特徴とする請求項4に記載のスイッチング電源用半導体装置。

【請求項6】 前記軽負荷検出回路と前記スイッチング素子の出力端子との間に設けられ、前記下限電圧の値又は前記上限電圧の値を調整する軽負荷検出電圧調整手段をさらに備えていることを特徴とする請求項1～4のうちのいずれか1項に記載のスイッチング電源用半導体装置。

## 【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は、スイッチング電源制御用半導体装置に関し、特に、軽負荷時における消費電力を削減できるスイッチング電源用半導体装置に関する。

【0002】

【従来の技術】従来のスイッチング電源用半導体装置について図面を参照しながら説明する。

【0003】図7は入力側と出力側とが電氣的に絶縁された従来のスイッチング電源用半導体装置を用いたスイッチング電源装置の回路構成を示している。

【0004】スイッチング電源用半導体装置は、例えば、パワーMOSFET等からなるスイッチング素子104と、該スイッチング素子104を制御する制御回路130とを有している。

【0005】図7に示すスイッチング電源装置において、例えば、入力端子に入力される商用電源からの交流電流は、ダイオードブリッジ等からなる整流器101により整流される。続いて、入力コンデンサ102により平滑化されて直流電圧 $V_{in}$ となり、電力変換用のトランス103に入力される。トランス103は、第1の1次巻線103a、第2の1次巻線103b及び2次巻線103cを有しており、生成された直流電圧 $V_{in}$ が第1の1次巻線103aに入力される。

【0006】トランス103の第1の1次巻線103aに入力された直流電圧 $V_{in}$ は、スイッチング素子104により制御される。このとき、スイッチング素子104のスイッチング動作によって、トランス103の2次巻線103cに磁気誘導による起電力が発生する。

【0007】2次巻線103cに発生した起電力による電流は、2次巻線103cと接続されたダイオード11

0及び出力コンデンサ111により整流され且つ平滑化されて、出力電圧V<sub>o</sub>の直流電力として負荷112に供給される。

【0008】トランス103の第2の1次巻線103bにも、第1の1次巻線103aによる直流起電力が発生し、第2の1次巻線103bから出力される直流電流は、ダイオード121及びコンデンサ122からなる補助電源部120により整流及び平滑化されて補助電源電圧V<sub>cc</sub>が生成される。

【0009】補助電源電圧V<sub>cc</sub>により駆動される制御回路130は、スイッチング素子104のゲートに制御信号を出力する。ここで、補助電源電圧V<sub>cc</sub>は、トランス103の2次巻線103cから負荷112に供給される出力電圧V<sub>o</sub>と比例しており、該出力電圧V<sub>o</sub>を安定させる帰還信号としても用いられる。

【0010】制御回路130は、スイッチング素子104に印加するスイッチング信号を出力する発振器131と、補助電源電圧V<sub>cc</sub>と基準電圧との差からなる誤差電圧信号V<sub>EAO</sub>を出力する誤差増幅器132と、スイッチング素子104を流れるドレイン電流I<sub>D</sub>を検出して素子電流検出信号V<sub>CL</sub>を出力する素子電流検出回路133と、誤差電圧信号V<sub>EAO</sub>と素子電流検出信号V<sub>CL</sub>とを比較し、比較結果を出力する比較器134と、比較信号に基づいてスイッチング信号の出力を制御するスイッチング信号制御回路135とを有している。

【0011】スイッチング信号制御回路135は、セット端子に発振器131からのクロック信号CLKを受け、リセット端子に比較器134の出力信号を受けるRSフリップフロップ回路136と、入力端子に発振器131からの最大デューティサイクル信号MDCを受け、他の入力端子にRSフリップフロップ回路136からの出力信号を受けるNAND回路137と、NAND回路137の出力信号を受け、これを反転増幅して制御信号を出力するゲートドライバ138とから構成されている。

【0012】以下、前記のように構成されたスイッチング電源装置の動作を説明する。

【0013】図7において、まず、装置が起動された直後には、商用電源からの交流電流が整流器101に入力されると、入力された交流電流が整流器101と入力コンデンサ102とにより、整流且つ平滑化されて直流電圧V<sub>in</sub>に変換され、変換された直流電圧V<sub>in</sub>はトランス103の第1の1次巻線103aに印加される。このとき、直流電圧V<sub>in</sub>は、制御回路130に含まれる内部回路電流供給回路139を介して電流が供給され、補助電源部120のコンデンサ122が充電される。

【0014】その後、補助電源部120において、補助電源電圧V<sub>cc</sub>が制御回路130の起動電圧にまで達すると、制御回路130が動作を開始する。これにより、スイッチング素子104へのスイッチング動作の制御が開

始されると共に、起動・停止回路140が内部回路電流供給回路139を停止する。

【0015】制御回路130は、負荷112に対する出力電圧V<sub>o</sub>が所定の電圧で安定化するように、補助電源電圧V<sub>cc</sub>に基づいてスイッチング素子104によるスイッチング動作を制御する。具体的には、負荷112に対する出力電圧V<sub>o</sub>と補助電源電圧V<sub>cc</sub>とをトランス103の第2の1次巻線103bと2次巻線103cの巻数比に比例した電圧とすると共に、比較器134に、誤差増幅器132からの誤差電圧信号V<sub>EAO</sub>と、素子電流検出回路133からの素子電流検出信号V<sub>CL</sub>とを比較し、両信号V<sub>EAO</sub>、V<sub>CL</sub>が互いに等しくなったときに、RSフリップフロップ回路136のリセット端子にハイレベルの出力信号を出力するようにしている。

【0016】次に、図8のタイミングチャートに示すように、負荷変動時において、負荷112に対する電流供給量が減り、負荷供給電流I<sub>o</sub>が低下すると、出力電圧V<sub>o</sub>が若干上昇する。これを受けて、帰還側の補助電源部120の補助電源電圧V<sub>cc</sub>も上昇し、誤差増幅器132からの誤差電圧信号V<sub>EAO</sub>が低下する。

【0017】負荷変動時や待機時等の無負荷時及び軽負荷時のように、誤差電圧信号V<sub>EAO</sub>が低下した状態で、誤差電圧信号V<sub>EAO</sub>と素子電流検出信号V<sub>CL</sub>とが等しくなると、比較器134からRSフリップフロップ回路136のリセット端子にリセット信号が出力されるため、NAND回路137からは、定常負荷時よりも早いタイミングでスイッチング素子104をオフ状態とする信号が出力される。その結果、スイッチング素子104は、スイッチング動作時におけるオン状態となる時間が短くなるため、スイッチング素子104を流れるドレイン電流I<sub>D</sub>が減少する。

【0018】このように、従来のスイッチング電源用半導体装置における制御回路130は、負荷112に供給される負荷供給電流I<sub>o</sub>に応じて、スイッチング素子104に流れるドレイン電流I<sub>D</sub>の大きさを制御する電流モード制御方式を採っている。

【0019】

【発明が解決しようとする課題】しかしながら、前記従来のスイッチング電源用半導体装置は、待機時等の軽負荷時にはスイッチング素子104に流れるドレイン電流I<sub>D</sub>が低減されるものの、制御回路130の回路電流はトランス103を介して供給されるため、ドレイン電流I<sub>D</sub>を完全に0にすることができず、半導体装置にはトランス103を介してドレイン電流I<sub>D</sub>を常時供給する必要がある。従って、無負荷時でも、ある程度の電流が流れるため、この無負荷時においてもスイッチング素子104のスイッチング動作によって電流が損失し、負荷が小さくなる程スイッチング素子104における電流損失の割合が大きくなる。その結果、電源の効率が低下して、電源の待機時の省電力化を実現できないという問題

がある。

【0020】本発明は、前記従来の問題を解決し、その目的は、簡単な構成で、軽負荷時のスイッチング損失を減らすことにより、消費電力を削減してスイッチング電源用半導体装置における電源効率を確実に向上することができるようにする。

【0021】

【課題を解決するための手段】前記の目的を達成するため、本発明は、スイッチング電源用半導体装置を、出力電圧に基づいて帰還される帰還信号から制御回路の電源電圧を生成し、生成した電源電圧に基づいて、スイッチング素子に対するスイッチング信号の出力を停止する構成とする。

【0022】具体的に、本発明に係るスイッチング電源用半導体装置は、入力端子に第1の直流電圧を受けるスイッチング素子と、スイッチング素子からの出力信号を受け、第1の直流電圧を第2の直流電圧に変換して出力する出力電圧生成回路と、スイッチング素子の動作を制御する制御回路と、第2の直流電圧の電圧値を検出し、検出した信号を帰還信号として制御回路に帰還する出力電圧検出回路と、制御回路の電源電圧を生成する電源電圧生成回路とを備えたスイッチング電源装置を制御するスイッチング電源用半導体装置を対象とし、スイッチング電源用半導体装置はスイッチング素子及び制御回路を含み、制御回路は、スイッチング素子に印加するスイッチング信号を生成して出力する発振器と、スイッチング素子を流れる電流を検出し、素子電流検出信号として出力する電流検出回路と、電源電圧と基準電圧との差からなる誤差電圧信号を生成して出力する誤差増幅器と、素子電流検出信号と誤差電圧信号とを比較し、比較した比較信号を出力する比較器と、比較信号に基づいてスイッチング信号の出力を制御するスイッチング信号制御回路と、誤差電圧信号が下限電圧値よりも小さい場合にはスイッチング信号制御回路に対してスイッチング素子へのスイッチング信号の出力を停止し、誤差電圧信号が上限電圧値よりも大きい場合にはスイッチング信号制御回路に対してスイッチング信号の出力を開始する軽負荷検出回路とを有している。

【0023】本発明のスイッチング電源用半導体装置によると、スイッチング電源装置は、一般に、軽負荷時に消費される電流が減少して装置の出力電圧である第2の直流電圧が上昇すると、制御回路に帰還する帰還信号の電流量が増える。これにより、制御回路の電源電圧が上昇するため、制御回路用の電源電圧と基準電圧との差からなる誤差電圧信号を生成する誤差増幅器からの誤差電圧信号の電圧値は低下する。このとき、軽負荷検出回路は、誤差電圧信号が下限電圧値よりも小さい場合にはスイッチング信号制御回路に対してスイッチング素子へのスイッチング信号の出力を停止するため、スイッチング素子における損失が減り、軽負荷時の消費電力を削減で

きるので、スイッチング電源装置の電源効率を向上することができる。

【0024】本発明のスイッチング電源用半導体装置において、軽負荷検出回路が、互いに異なる第1の基準電圧及び第2の基準電圧を出力する基準電圧源と、一方の入力端子が基準電圧源からの出力電圧を受け、他方の入力端子が誤差電圧信号を受ける軽負荷検出用比較器とを有し、基準電圧源の出力電圧値は、軽負荷検出用比較器からの出力信号により、下限電圧値又は上限電圧値となるように設定されていることが好ましい。このようにすると、出力側から入力側に帰還された帰還信号から生成される誤差電圧信号によって、スイッチング信号制御回路からのスイッチング素子に対するスイッチング信号の出力を確実に停止させることができる。

【0025】この場合に、基準電圧源が、出力端子を持つ第1の定電流源と、下流側に軽負荷検出用比較器からの比較信号により開閉されるスイッチが設けられた第2の定電流源と、第1の定電流源からの出力電流及び第2の定電流源からの出力電流のうちの少なくとも一方を受け、第1の基準電圧又は第2の基準電圧を生成する出力電圧設定抵抗器とを有していることが好ましい。このようにすると、軽負荷検出用の電圧値である下限電圧及び上限電圧を確実に生成することができる。その上、上限電圧の値が下限電圧の値よりも大きい場合には、例えば、スイッチング素子へのスイッチング信号の出力が停止されると、第2の直流電圧の値が低下して、帰還電圧変換回路からの帰還電圧信号の電圧値が上昇する。ここで、帰還電圧信号が上限電圧値を超えると、軽負荷検出回路は、直ちにスイッチング信号制御回路に対してスイッチング信号の出力を開始してしまうため、スイッチング信号の出力停止期間をほとんど設定できなくなるが、上限電圧値を下限電圧値よりも大きくしておくこと、誤差電圧信号又は帰還電圧信号が上限電圧値を超えるまでに時間的な余裕（ヒステリシス特性）が生じることにより、スイッチング信号の出力停止期間を確実に設定することができる。

【0026】本発明のスイッチング電源用半導体装置において、スイッチング素子及び制御回路が、スイッチング素子の入力端子及び出力端子、並びに制御回路における帰還信号が入力される入力端子が外部接続端子となるように一つの半導体基板上に集積化されて形成されていることが好ましい。このようにすると、スイッチング電源装置本体の部品点数を減らすことができるため、電源装置本体を小型化することができる。

【0027】この場合に、半導体基板が下限電圧又は上限電圧の値を調整するための軽負荷検出電圧調整用端子を有していることが好ましい。このようにすると、半導体装置の外部から軽負荷検出電圧調整用端子を用いて待機時の負荷電流値を最適化できるため、本発明の半導体装置を組み込む電源装置やシステムの選択肢を増やすこ



とができる。

【0028】本発明のスイッチング電源用半導体装置は、軽負荷検出回路とスイッチング素子の出力端子との間に設けられ、下限電圧の値又は上限電圧の値を調整する軽負荷検出電圧調整手段をさらに備えていることが好ましい。このようにすると、本半導体装置に外部に、軽負荷検出電圧調整手段を設ける必要がなくなると共に、スイッチング電源装置を構成する他の部品の精度のばらつきを容易に吸収することができる。

【0029】

【発明の実施の形態】本発明の一実施形態について図面を参照しながら説明する。

【0030】図1は本発明の一実施形態に係るスイッチング電源装置の概略的な回路構成を示している。図1に示すように、第1の実施形態に係るスイッチング電源装置は、主入力端子10に印加された、例えば商用電源からの交流電流を整流し且つ平滑化してなる第1の直流電圧をトランス（変圧器）13の1次側に印加しながら、スイッチング素子14によるスイッチング動作によっ

て、トランス13の2次側に設けられた出力電圧生成回路16により第2の直流電圧である出力電圧V<sub>o</sub>にまで降下して主出力端子17に出力する絶縁型のスイッチング電源装置である。

【0031】以下、本実施形態に係るスイッチング電源装置を詳細に説明する。

【0032】トランス13は、第1の1次巻線13a、第2の1次巻線13b及び2次巻線13cを有している。

【0033】主入力端子10には、交流電流を整流するダイオードブリッジ等からなる整流器11と、整流された信号を平滑化して直流電圧V<sub>in</sub>を生成する入力コンデンサ12とがそれぞれ並列に接続されている。生成された直流電圧V<sub>in</sub>は、トランス13の第1の1次巻線13aに入力された後、例えばN型パワーMOSFETからなるスイッチング素子14のドレイン端子TDに入力される。ここで、スイッチング素子14のソース端子Tsは主入力端子10のローレベル側の端子と接続され、そのゲートには、該スイッチング素子14の動作を制御する制御回路15から出力される制御信号が入力される。

【0034】トランス13の2次巻線13cには、出力電圧生成回路16が接続されている。出力電圧生成回路16は、第1の1次巻線13aに印加され且つスイッチングされた直流電圧V<sub>in</sub>の磁気誘導により発生した起電力による電流を整流する第1のダイオード161と、整流された信号を平滑化する出力コンデンサ162とから構成されている。

【0035】出力電圧生成回路16と接続されている主出力端子17は、そのハイレベル側の端子とローレベル側の端子との間に負荷18が接続され、該負荷18には負荷供給電流I<sub>o</sub>が流れる。

【0036】トランス13の第2の1次巻線13bには、制御回路15の補助電源電圧V<sub>cc</sub>を生成する電源電圧生成回路としての電源回路19が接続されている。電源回路19は、第1の1次巻線13aに印加され且つスイッチングされた直流電圧V<sub>in</sub>によって発生した起電力による電流を整流する第2のダイオード191と、整流された信号を平滑化する電源コンデンサ192とから構成されている。ここでは、第2の1次巻線13bは、補助電源電圧V<sub>cc</sub>と出力電圧V<sub>o</sub>とが比例するように設けられている。また、電源回路19により生成される補助電源電圧V<sub>cc</sub>は、制御回路15の制御端子T<sub>c</sub>に印加される。

【0037】本実施形態においては、破線20で囲まれる領域、すなわちスイッチング素子14と制御回路15とを含み、ドレイン端子TD、ソース端子Ts及び制御端子T<sub>c</sub>の少なくとも3端子で外部との入出力が可能な領域を基板上形成領域20と呼び、この基板上形成領域20が1つの半導体チップに形成可能であることを表わしている。

【0038】なお、基板上形成領域20を1つの半導体チップに形成する代わりに、複数の半導体チップに分割して形成してもよい。但し、複数の半導体チップに分割する場合であっても、ドレイン端子TD、ソース端子Ts及び制御端子T<sub>c</sub>の少なくとも3端子で外部との入出力が可能な1つのパッケージに収容されていることが好ましい。

【0039】制御回路15は、スイッチング素子14に印加する、発振周波数が100kHz程度のスイッチング信号を生成して出力する発振器21と、抵抗を介して降下させた補助電源電圧V<sub>cc</sub>を逆相端子に受け、正相端子に受ける基準電圧との差からなる誤差電圧信号VEA<sub>O</sub>を生成して出力する誤差増幅器22と、スイッチング素子14を流れる素子電流IDを検出し、検出した素子電流IDを電圧に変換し、素子電流検出信号VCLとして出力する素子電流検出回路23と、誤差電圧信号VEA<sub>O</sub>と素子電流検出信号VCLとを比較し、比較した比較信号を出力する素子電流検出用比較器24と、比較信号に基づいてスイッチング信号の出力を制御するスイッチング信号制御回路25と、誤差電圧信号VEA<sub>O</sub>が下限電圧値よりも小さい場合にはスイッチング信号制御回路25に対してスイッチング素子14へのスイッチング信号の出力を停止し、誤差電圧信号VEA<sub>O</sub>が上限電圧値よりも大きい場合にはスイッチング信号制御回路25に対してスイッチング信号の出力を開始する軽負荷検出回路40とを有している。ここで、誤差増幅器22の逆相入力端子は、スイッチング素子14のソース端子Tsとも抵抗を介して接続されている。

【0040】さらに、制御回路15は、スイッチング素子14のドレイン端子TDと制御回路15の制御端子T<sub>c</sub>との間に接続され且つ制御回路15に対して該制御回

路 15 の起動用の電流を供給する内部回路電流供給回路 29 と、該内部回路電流供給回路 29 の出力側とスイッチを介して接続され、制御回路 15 の起動又は停止時にスイッチング信号制御回路 25 の動作を制御する起動・停止回路 30 とを有している。

【0041】スイッチング信号制御回路 25 は、セット端子 S に軽負荷検出回路 40 の出力信号を受け、リセット端子 R に素子電流検出用比較器 24 の出力信号を受ける RS フリップフロップ回路 26 と、第 1 の入力端子に起動・停止回路 30 の出力信号を受け、第 2 の入力端子に発振器 21 からの最大デューティサイクル信号 MDC を受け、第 3 の入力端子に RS フリップフロップ回路 26 からの出力信号を受ける NAND 回路 27 と、NAND 回路 27 の出力信号を受け、受けた出力信号を反転増幅した制御信号をスイッチング素子 14 のゲートに出力するインバータからなるゲートドライバ 28 とから構成されている。

【0042】軽負荷検出回路 40 は、基準電圧源 41 と、正相入力端子に誤差増幅器 22 からの誤差電圧信号 VEA0 を受け、逆相入力端子に基準電圧源 41 からの基準電圧 VR を受ける軽負荷検出用比較器 42 と、一の入力端子に軽負荷検出用比較器 42 の出力信号 VO1 を受け、他の入力端子に発振器 21 からのクロック信号 CLK を受ける AND 回路 43 とから構成されている。基準電圧源 41 は、軽負荷検出用比較器 42 の出力信号 VO1 を受けて、基準電圧 VR の値が変更可能となるように構成されている。

【0043】軽負荷検出用比較器 42 は、入力される誤差電圧信号 VEA0 と基準電圧 VR とを比較して、誤差電圧信号 VEA0 が基準電圧 VR よりも大きい場合に、AND 回路 43 に対してハイレベルの信号を出力する。逆に、誤差電圧信号 VEA0 が基準電圧 VR よりも小さい場合には、AND 回路 43 に対してローレベルの信号を出力するため、RS フリップフロップ回路 26 の出力信号がローレベルとなるので、ゲートドライバ 28 からの制御信号の出力を停止させることができる。

【0044】また、誤差増幅器 22 の出力側には、誤差電圧信号 VEA0 の最大電圧値をクランプする PNP 型バイポーラトランジスタからなる過電流保護回路 31 が設けられており、誤差電圧信号 VEA0 を過電流保護回路 31 にクランプさせることにより、スイッチング素子 14 に流れる素子電流 ID の最大値がクランプされる。

【0045】また、本実施形態に係るスイッチング電源装置は、直流電圧 Vin 及び出力電圧 Vo の電圧値に制限はない。一例として、直流電圧 Vin の値を 100V ~ 200V とし、出力電圧 Vo の値を 25V とすれば、スイッチング電源用半導体装置の 1 チップ化又は 1 パッケージ化により、スイッチング電源装置全体の部品点数を大幅に削減できるため、電源装置のサイズをも小さくでき、より小型化及び低価格化を実現できる。

【0046】また、スイッチング素子 14 に N 型 MOSFET を用いたが、代わりに NPN 型バイポーラトランジスタを用いてもよい。

【0047】ここで、基準電圧源 41 の具体的な回路構成の一例を図 2 に示す。図 2 に示すように、基準電圧源 41 は、軽負荷検出用比較器 42 の逆相端子と接続された出力端子 Y を持つ第 1 の定電流源 411 と、下流側に軽負荷検出用比較器 42 からの出力信号 VO1 を入力端子 X、すなわちゲートに受ける P 型 MOSFET からなるスイッチトランジスタ 413 が設けられた第 2 の定電流源 412 とを有している。さらに、第 1 の定電流源 411 の第 1 の出力電流 I1 及び第 2 の定電流源 412 の第 2 の出力電流 I2 のうちの少なくとも第 1 の出力電流 I1 を受け、下限電圧 VR1 又は上限電圧 VR2 を生成する出力電圧設定用の抵抗器 414 とを有している。

【0048】以上のように構成された基準電圧源 41 の動作を説明する。

【0049】定常負荷時においては、軽負荷検出用比較器 42 の出力信号 VO1 はハイレベルとなっているため、スイッチトランジスタ 413 はオフ状態となっている。従って、このときの基準電圧源 41 の出力信号 VR、すなわち下限電圧 VR1 は、抵抗器 414 の抵抗値を R1 とすると、以下の式 (1) で表わされる。

$$VR1 = R1 \times I1 \quad \cdots (1)$$

一方、装置の軽負荷状態が検出されると、軽負荷検出用比較器 42 の出力信号 VO1 はローレベルとなるため、スイッチトランジスタ 413 がオン状態となり、抵抗器 414 には第 2 の定電流源 412 からの第 2 の出力電流 I2 も同時に流れ込むようになる。従って、このときの基準電圧源 41 の出力信号 VR、すなわち上限電圧 VR2 は以下の式 (2) で表わされる。

$$VR2 = R1 \times (I1 + I2) \quad \cdots (2)$$

このように、軽負荷検出用比較器 42 の出力信号 VO1 に応じて、基準電圧源 41 の出力電圧 VR が下限電圧 VR1 を出力したり、上限電圧 VR2 を出力したりすることにより、軽負荷時にスイッチング信号制御回路 25 に対して、後述するような間欠発振動作を行なわせることができる。

【0052】なお、本実施形態においては、軽負荷検出用比較器 42 の出力信号 VO1 に基づいて、基準電圧源 40 の出力電圧設定用の定電流値を変化させているが、代わりに、軽負荷検出用比較器 42 の出力信号 VO1 に基づいて、基準電圧源 42 の出力電圧設定用の抵抗器 414 の抵抗値を変化させるようにしてもよい。

【0053】以下、前記のように構成されたスイッチング電源用半導体装置を含むスイッチング電源装置の動作の詳細について、図 3 に示すタイミングチャートを参照しながら説明する。

【0054】まず、図 1 に示す回路図において、制御回路 15 が起動するまでの間は、起動・停止回路 30 は内

部回路電流供給回路29と電源回路19内の電源コンデンサ192の陽極とを接続するように閉じている。

【0055】次に、装置が起動され、主入力端子10に交流電流が入力され始めると、内部回路電流供給回路29から電源コンデンサ192の陽極に電流が流れ、制御回路15の補助電源電圧 $V_{cc}$ の値が上昇する。この補助電源電圧 $V_{cc}$ の値が制御回路15の起動電圧に達すると、制御回路15が動作を行なえるようになるので、起動・停止回路30は、内部回路電流供給回路29と電源コンデンサ19との接続を切断する。これにより、内部回路電流供給回路29は起動時にのみ動作するため、通常動作時における制御回路15の消費電力を抑えることができる。

【0056】次に、図3に示すように、定常負荷時には、基準電圧源41の基準電圧 $V_R$ の値は下限電圧値 $V_{R1}$ に設定されている。

【0057】その後、例えば、負荷供給電流 $I_o$ が減少するような軽負荷となる負荷変動が生じると、負荷18に対する電力供給が過剰となって、出力電圧 $V_o$ の電圧値は若干上昇する。この出力電圧 $V_o$ の値が上昇することにより、帰還側の電源回路19の補助電源電圧 $V_{cc}$ も上昇する。

【0058】補助電源電圧 $V_{cc}$ が上昇すると、制御回路15において、誤差増幅器22の逆相端子に印加される電圧が上昇するため、誤差増幅器22から出力される誤差電圧信号 $VEAO$ の電圧値が低下する。このとき、素子電流検出回路23から出力される素子電流検出信号 $V_{CL}$ の電圧値も低下する。

【0059】このように、本実施形態に係るスイッチング電源装置は、スイッチング信号のパルス幅が負荷供給電流 $I_o$ により変更される、いわゆる電流モードのPWM制御方式を採る。

【0060】誤差電圧信号 $VEAO$ を正相端子に受ける軽負荷検出用比較器42は、受けた誤差電圧信号 $VEAO$ の値が下限電圧値 $V_{R1}$ よりも小さくなると、AND回路43に対してローレベルの信号を出力するため、スイッチング信号制御回路25のゲートドライバ28がローレベルの制御信号のみを出力して、スイッチング素子14のスイッチング動作が停止する。これとほぼ同時に、基準電圧源41の出力電圧 $V_R$ は、軽負荷検出用比較器42のローレベルの出力信号を受けて下限電圧値 $V_{R1}$ から上限電圧値 $V_{R2}$ に変更される。

【0061】待機時のような軽負荷又は無負荷状態となると、出力電圧生成回路16に対して電力の供給が行なわれなくなるため、負荷18への電力供給が出力コンデンサ162からのみ行なわれるようになるので、出力電圧 $V_o$ は徐々に低下する。これにより、誤差増幅器22からの誤差電圧信号 $VEAO$ が徐々に上昇するが、基準電圧源41の出力電圧 $V_R$ は、下限電圧 $V_{R1}$ よりも高い上限電圧 $V_{R2}$ に設定されているため、図4に示すよ

うに、スイッチング素子14によるスイッチング動作が直ちに再開されることがない。

【0062】さらに、出力電圧 $V_o$ が低下して、逆に誤差電圧信号 $VEAO$ が上限電圧値 $V_{R2}$ を越えると、軽負荷検出用比較器42からの出力信号が再びハイレベルとなるため、これを受けるAND回路43はハイレベルの出力信号を出力できるようになるので、スイッチング素子14のスイッチング動作が再開される。これとほぼ同時に、軽負荷検出用比較器42のハイレベルの出力信号を受けて基準電圧源41の出力電圧 $V_R$ は、上限電圧値 $V_{R2}$ から下限電圧値 $V_{R1}$ に再設定される。

【0063】次に、待機時において、スイッチング素子14によるスイッチング動作が再開されると、スイッチング素子14に流れる素子電流 $I_D$ は、軽負荷検出時の電流値よりも大きくなっているため、負荷18への電力供給が過剰となって、再び出力電圧 $V_o$ が上昇し、誤差増幅器22からの誤差電圧信号 $VEAO$ が低下する。従って、前述したように、誤差電圧信号 $VEAO$ が下限電圧値 $V_{R1}$ よりも小さくなると、スイッチング素子14に対するスイッチング信号の出力を再度停止する。

【0064】本実施形態においては、基準電圧源41から出力される基準電圧 $V_R$ が軽負荷状態を検出することによりスイッチング動作を停止し、さらに、基準電圧 $V_R$ を下限電圧値 $V_{R1}$ から上限電圧値 $V_{R2}$ へと変更することにより、誤差電圧信号 $VEAO$ が上昇しても、直ちにスイッチング動作が開始されることがないように基準電圧 $V_R$ にヒステリシス特性を与えている。これにより、軽負荷又は無負荷を検出している間は、スイッチング素子14に対するスイッチング制御は、スイッチング動作の停止と再開とが繰り返される間欠発振状態となる。

【0065】なお、出力電圧 $V_o$ は、間欠発振状態のスイッチング停止期間中に低下するが、この低下の度合いは負荷供給電流 $I_o$ に依存する。すなわち、負荷供給電流 $I_o$ が小さくなる程、出力電圧 $V_o$ の低下が緩やかになる。

【0066】また、間欠発振状態におけるスイッチング停止期間は、負荷供給電流 $I_o$ が小さくなる程長くなる。すなわち、軽負荷になる程スイッチング素子14のスイッチング動作が減少することになる。

【0067】本実施形態においては、例えば、出力が0.3Wのスイッチング電源装置の場合に、従来の電源装置では消費電力が1Wで電源効率が30%程度であったが、本実施形態に係る電源装置では消費電力が0.45Wで電源効率が67%となり、低消費電力で且つ高効率が達成されることを確認している。

【0068】その上、本実施形態に係るスイッチング電源用半導体装置は、基板上形成領域20に、1次側、すなわち入力側の制御回路15及びスイッチング素子14のみを含むため、半導体集積回路として1パッケージ化

又は 1 チップ化することも容易に行なえる上に、部品数を削減できるため、コストの低減も容易となる。

【0069】（一実施形態の第 1 変形例）以下、本発明の一実施形態の第 1 変形例について図面を参照しながら説明する。

【0070】図 5 は本発明の一実施形態の第 1 変形例に係るスイッチング電源用半導体装置の概略的な回路構成を示している。図 5 において、図 1 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0071】図 5 に示すように、第 1 変形例に係るスイッチング電源用半導体装置は、基板上形成領域 20 の端部に、軽負荷検出用比較器 42 の逆相入力端子と電気的に接続された軽負荷検出電圧調整用端子 TR が設けられていることを特徴とする。

【0072】これにより、一端が軽負荷検出電圧調整用端子 TR と接続され、他端がソース端子 Ts と接続された検出電圧可変手段としての軽負荷検出電圧調整用抵抗器 51 を設けることによって、軽負荷検出電圧である下限電圧値 VR1 及び上限電圧値 VR2 を適当に調整することができるようになる。このため、待機時における必要な負荷と併せて、スイッチング素子 14 のスイッチング動作が停止又は再開する際の負荷供給電流 Io を最適化することができる。その結果、スイッチング素子 14 及び制御回路 15 が 1 パッケージ化又は 1 チップ化されている場合であっても、軽負荷検出回路 40 の下限電圧値 VR1 又は上限電圧値 VR2 を電源装置の用途に応じて変更できるようになる。

【0073】（一実施形態の第 2 変形例）以下、本発明の一実施形態の第 2 変形例について図面を参照しながら説明する。

【0074】図 6 は本発明の一実施形態の第 2 変形例に係るスイッチング電源用半導体装置の概略的な回路構成を示している。図 6 において、図 1 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0075】図 6 に示すように、第 2 変形例に係るスイッチング電源用半導体装置は、一端が軽負荷検出用比較器 42 の逆相入力端子と接続され、他端がソース端子 Ts と接続された軽負荷検出電圧調整手段としての軽負荷検出電圧調整用抵抗器 51 A が設けられていることを特徴とする。

【0076】これにより、軽負荷検出電圧調整用抵抗器 51 A を、例えばレーザトリミング法等のトリミング技術により該抵抗器 51 A の抵抗値を微調整することができるようになる。これにより、スイッチング電源用半導体装置の外部に設ける部品点数を削減することができる。

【0077】その上、基板上形成領域 20 内に、すなわち半導体装置内に軽負荷検出電圧調整用抵抗器 51 A を

設けるため、スイッチング電源装置を構成する他の部品の精度のばらつきをも吸収することができる。

【0078】なお、軽負荷検出電圧調整用抵抗器 51 A として、ツェナーダイオードと直列に接続された抵抗器とが複数個並列に接続されてなるツェナーザップ回路を用いても良い。この場合のトリミング方法は、所望の抵抗値となるように、必要とする抵抗器に接続されたツェナーダイオードに電流を流し、該ツェナーダイオードをショートさせて破壊（ザップ）することにより行なえる。

【0079】

【発明の効果】本発明に係るスイッチング電源用半導体装置によると、出力電圧から帰還されて生成される制御回路用の電源電圧と基準電圧との差からなる誤差電圧信号を出力する誤差増幅器と、誤差電圧信号が下限電圧値よりも小さい場合にスイッチング信号制御回路に対してスイッチング素子へのスイッチング信号の出力を停止する軽負荷検出回路とを有しているため、スイッチング素子における損失が減り、軽負荷時の消費電力を削減できるので、スイッチング電源用半導体装置の電源効率を向上することができる。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係るスイッチング電源用半導体装置を含むスイッチング電源装置を示す概略的な回路図である。

【図 2】本発明の一実施形態に係るスイッチング電源用半導体装置における出力値が可変となる基準電圧源を示す回路図である。

【図 3】本発明の一実施形態に係るスイッチング電源用半導体装置を含むスイッチング電源装置の動作を示すタイミングチャートである。

【図 4】本発明の一実施形態に係るスイッチング電源用半導体装置における軽負荷検出用比較器に用いる基準電圧を示すタイミングチャートである。

【図 5】本発明の一実施形態の第 1 変形例に係るスイッチング電源用半導体装置を示す概略的な回路図である。

【図 6】本発明の一実施形態の第 2 変形例に係るスイッチング電源用半導体装置を示す概略的な回路図である。

【図 7】従来のスイッチング電源用半導体装置を含むスイッチング電源装置を示す概略的な回路図である。

【図 8】従来のスイッチング電源装置の動作を示すタイミングチャートである。

【符号の説明】

- 10 主入力端子
- 11 整流器
- 12 入力コンデンサ
- 13 トランス
- 13a 第 1 の 1 次巻線
- 13b 第 2 の 1 次巻線
- 13c 2 次巻線

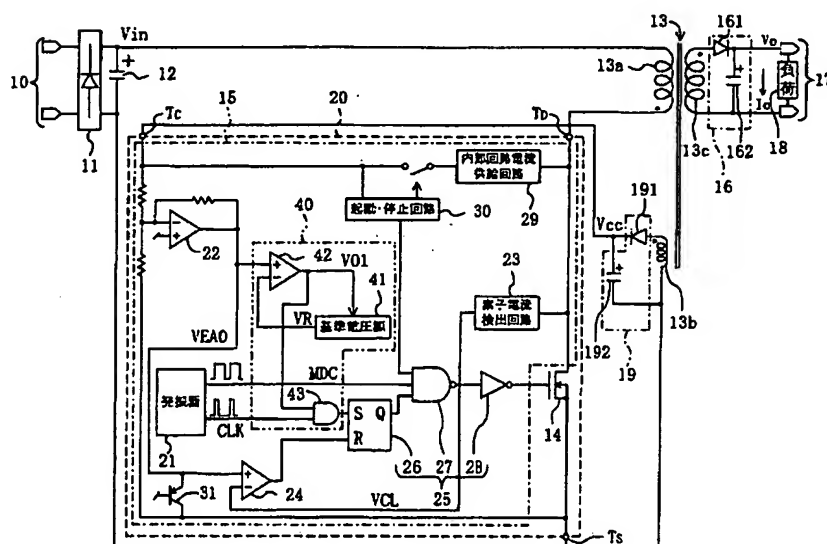
15

1 4	スイッチング素子
1 5	制御回路
1 6	出力電圧生成回路
1 6 1	第1のダイオード
1 6 2	出力コンデンサ
1 7	主出力端子
1 8	負荷
1 9	電源回路（電源電圧生成回路）
1 9 1	第2のダイオード
1 9 2	電源コンデンサ
2 0	基板上形成領域
2 1	発振器
2 2	誤差増幅器
2 3	電流検出回路
2 4	素子電流検出用比較器
2 5	スイッチング信号制御回路
2 6	R S フリップフロップ回路
2 7	N A N D 回路
2 8	ゲートドライバ

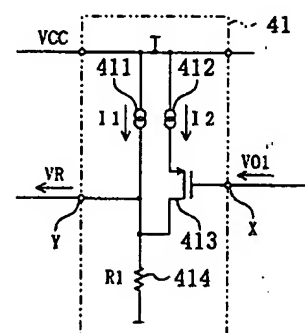
16

2 9	内部回路電流供給回路
3 0	起動・停止回路
3 1	過電流保護回路
4 0	軽負荷検出回路
4 1	基準電圧源
4 1 1	第1の定電流源
4 1 2	第2の定電流源
4 1 3	スイッチトランジスタ（スイッチ）
4 1 4	抵抗器（出力電圧設定抵抗器）
10 4 2	軽負荷検出用比較器
4 3	AND回路
5 1	軽負荷検出電圧調整用抵抗器（検出電圧可変手段）
5 1 A	軽負荷検出電圧調整用抵抗器（軽負荷検出電圧調整手段）
Ts	ソース端子
TD	ドレイン端子
Tc	制御端子
TR	軽負荷検出電圧調整用端子

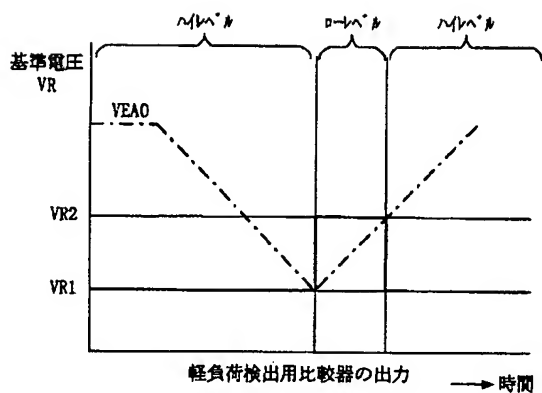
【图 1】



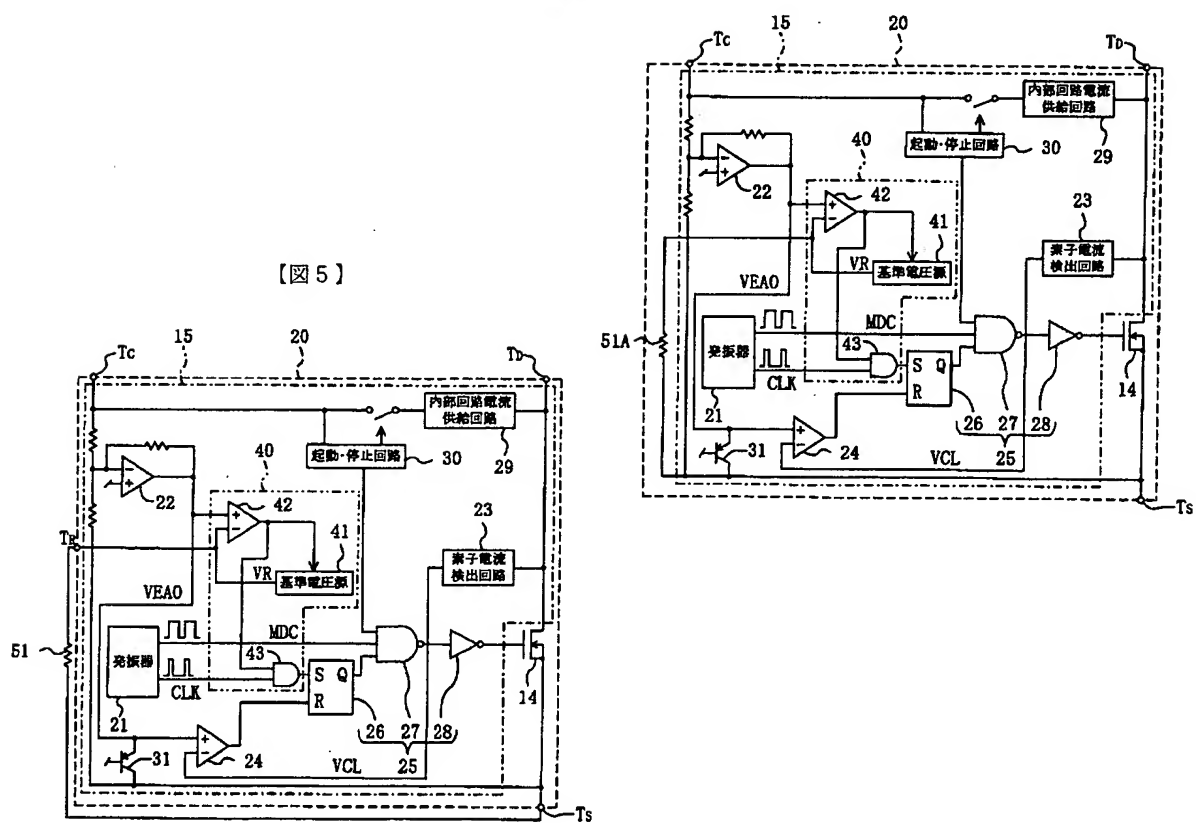
【图2】



【図4】



【図 6】



定常負荷時      負荷変動時      無負荷・輕負荷時 (待機時)

$I_o$

$V_o$

$V_{cc}$

$V_{EA0}$

$I_D$

$V_{CL}$

時間

(72) 発明者 木下 知子  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
F ターム(参考) 5H730 AA14 AS01 AS23 BB43 BB57  
CC01 DD04 EE02 EE07 EE57  
FD41 FF06 FG03 VV03 VV06

**THIS PAGE BLANK (USPTO)**